

Análisis y Comparación de Topologías de PLL para Sistemas Monofásicos

**Para citar este artículo /
To reference this article /
Para citar este artigo.**

Sanabria, T, Camilo, A., & Bello, G, Delby, A. (2013). Análisis y comparación de topologías de PLL para sistemas monofásicos. Ingenio Magno. Vol 4, pp. 61-67.

Camilo Andrés Sanabria Totaitive

Ingeniero Electrónico con grado de honor en Ingeniería de la Universidad Pedagógica y Tecnológica de Colombia, sede Sogamoso, Maestría en Ingeniería Electrónica con énfasis en electrónica de Potencia de la Pontificia Universidad Javeriana. Investigador del grupo en Robótica y Automatización Industrial GIRA UPTC. Docente auxiliar de la escuela de Ingeniería Electrónica sede Sogamoso de la Universidad Pedagógica y Tecnológica de Colombia.
e-mail

Delby Catalina Bello Guzman

Ingeniera Electrónica de la Universidad Pedagógica y Tecnológica de Colombia, sede Sogamoso, Especialista en Automatización Industrial de la Universidad Pedagógica y Tecnológica de Colombia, sede Sogamoso. Investigadora del grupo en Robótica y Automatización Industrial GIRA UPTC. Instructora contratista SENA.
e-mail

Recepción: 2013 - 01 - 30 | Aceptación: 2013 - 02 - 25

Resumen — En este artículo se presenta una revisión de tres topologías de PLL monofásicos de referencia de marco sincrónico. Se sugiere un procedimiento de diseño para el controlador de lazo interno de los PLL. Se analiza el desfase constante existente entre el ángulo obtenido por PLL y el ángulo de fase de la señal de entrada. Se realizan algunas comparaciones de comportamiento de tres topologías mediante simulación ante una señal de entrada de bus AC con y sin distorsión armónica.

Palabras Clave — Control design, Phase-Locked Loop (PLL), Single-phase.

Abstract — This article reviews three topologies of monophasic synchronous reference frame PLL. A procedure to design the controller of the inner loop PLL is also suggested. The constant existing gap between the angle obtained by PLL and the angle of the input signal is analyzed. The three topologies are compared by a simulation performed on an input signal of a AC bus, with and without harmonic distortion.

Key Words — Control design, Phase-Locked Loop (PLL), Single-phase.

1. INTRODUCCIÓN

Para poder enganchar sistemas monofásicos con la red es necesario determinar la fase, la amplitud y la frecuencia de la señal del bus. La frecuencia en un sistema de alta calidad de energía varía muy poco, la amplitud puede determinarse a partir del valor pico de la señal o utilizando métodos de detección del voltaje rms y no implican un problema de diseño mayor; sin embargo la detección correcta del ángulo de fase es crítica en el enganche de sistemas como inversores, rectificadores PWM, sistemas de alimentación ininterrumpida (UPS), compensadores de voltaje y sistemas de generación distribuida, debido a que una variación pequeña entre el dispositivo y el bus AC al conectarse, puede producir grandes corrientes circulantes entre los elementos del sistema ocasionando daños en los mismos; por esta razón es crítico determinar de una forma precisa y rápida la fase del bus AC, este proceso es más sencillo en sistemas trifásicos [1-8] que en monofásicos debido a que los primeros presentan mayor información dada la ortogonalidad de sus señales.

De los diferentes métodos utilizados para detectar la fase en los sistemas monofásicos, han tomado fuerza las estructuras de lazo de enganche de fase (Phase Locked-Loop) PLL de marco de referencia sincrónica (SRF), las cuales intentan imitar a los sistemas trifásicos, construyendo dos señales en cuadratura [1-8]. En [1-2], el voltaje de cuadratura, que requiere un PLL SRF, es generado desde una entrada monofásica, a través del uso de una transformación de Park inversa. En [3], la señal en cuadratura se genera mediante la transformada de Hilbert. Una forma más sencilla de generar la señal en cuadratura es mediante el uso de un bloque de retardo de transporte, que es responsable de introducir un desplazamiento de fase de 90 grados con respecto a la frecuencia fundamental de la señal de entrada [4]. En [5] y [6] se presentan modificaciones de la topología SRF basada en la transformada inversa de Park para sistemas trifásicos y monofásicos bajo condiciones de distorsión. Un método novedoso para conformar el sistema ortogonal en los sistemas monofásicos denominado integrador generalizado de segundo orden SOGI (Second Order Generalized Integrator) es presentado en [7] y [8].

El presente artículo presenta una comparación mediante simulación del desempeño de tres topologías de PLL de referencia de marco sincrónico para sistemas monofásicos, denominadas transformada inversa de Park, transformada de Hilbert y retardo de transporte. Para el funcionamiento de cada una de estas topologías se muestra un método de diseño del controlador PI del lazo del PLL.

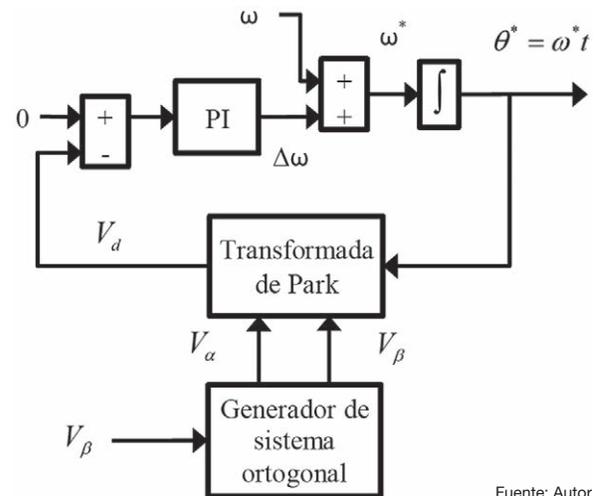
2.. TOPOLOGÍAS A ANALIZAR

A. PLL basado en la transformada inversa de Park

La estructura PLL monofásica basada en la topología de un sistema trifásico equilibrado SRF se ilustra en la figura 1, como se propone en [1-2],[4-5]. Como se puede observar, una tensión monofásica V_β y una señal generada internamente V_α se utilizan como entradas a un bloque

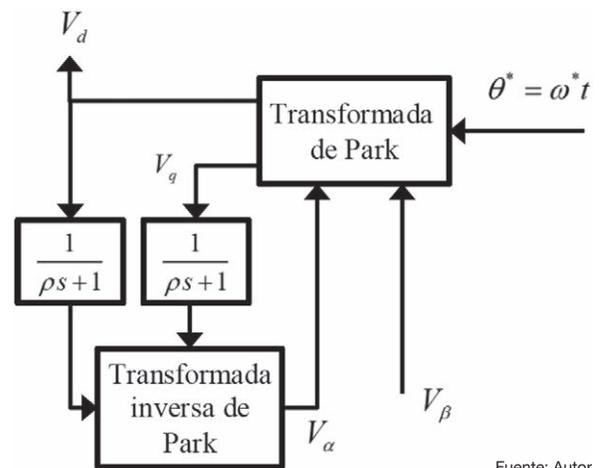
de transformación de Park ($\alpha\beta$ -dq). La salida de eje d de la transformación de Park [1-8] se utiliza en un bucle de control para obtener información de fase y de frecuencia de la señal de entrada. El voltaje V_α se obtiene mediante el uso de los métodos mencionados en la parte superior; para el caso de la transformación inversa de Park (dq - $\alpha\beta$), las señales de entradas d - q de la transformación de Park del PLL son realimentadas a través de dos filtros de primer orden al bloque de transformada inversa. Los filtros tienen como objetivo introducir un elemento de almacenamiento de energía en los circuitos de retroalimentación interna, como se observa en la figura 2. La expresión matemática de la transformada inversa se presenta en la siguiente ecuación:

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \begin{bmatrix} \cos \theta & \sin \theta \\ -\sin \theta & \cos \theta \end{bmatrix} \cdot \begin{bmatrix} v_d \\ v_q \end{bmatrix} \quad (1)$$



Fuente: Autor

Figura 1. Estructura básica de un PLL monofásico SRF.



Fuente: Autor

Figura 2. Bloque sistema ortogonal basado en la transformada inversa de Park.

B. PLL basado en la transformada de Hilbert

En [5] y [9] se presenta un algoritmo de SRF PLL para sistemas monofásicos, donde la señal en cuadratura se genera a través de la utilización de la transformada de Hilbert, como se ilustra en la Figura 5. Para una señal real $x(t)$, la transformada de Hilbert (H) se define como se muestra en la ecuación (2), donde P es el valor principal de Cauchy [10].

$$\widehat{x}(t) = H(x) = \frac{P}{\pi} \int_{-\infty}^{\infty} \frac{x(\tau)}{t - \tau} \cdot d\tau \quad (2)$$

Al utilizar el transformador de Hilbert, es posible generar una señal, que es ortogonal con la señal de entrada al aprovechar el hecho que la transformada de Hilbert de la función seno, es la función coseno y viceversa. Por tanto al obtener las funciones ortogonales, se puede utilizar el esquema de la figura 1 para encontrar la fase de la señal de entrada.

Una desventaja del método de obtención de señales ortogonales por medio de la transformada de Hilbert, es que la ecuación (2) conlleva a un sistema no causal, imposible de realizar de forma práctica. Este inconveniente se soluciona, aproximando la transformada utilizando un filtro digital de respuesta al impulso finita FIR, donde los coeficientes se definen como en [4], [10]:

$$h(n) = \begin{cases} \frac{1 - \cos[(n - 0.5N)\pi]}{\pi(n - 0.5N)} & \text{para } n \neq 0.5N \\ 0 & \text{para } n = 0.5N \end{cases} \quad (3)$$

Donde N es el orden del filtro, n es el índice de los coeficientes ($0 < n < N$) y $h(n)$ son los coeficientes del filtro.

C. PLL basado en retardo de transporte.

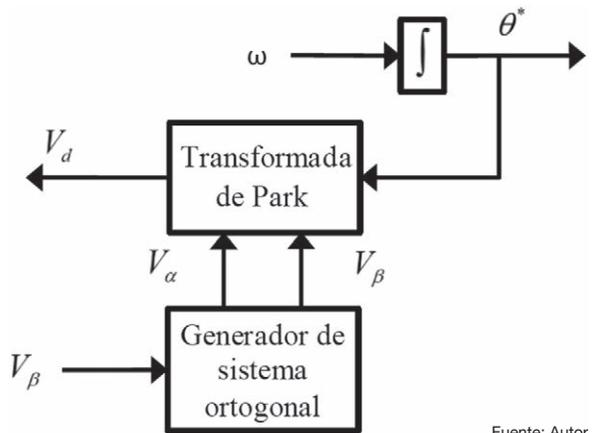
El retardo de transporte se ajusta con el fin de dar 90 grados de desplazamiento de fase a la señal V_α con respecto a la frecuencia fundamental de la señal de entrada. La diferencia básica de este método, en comparación con el método de la transformada de Hilbert es que, en este caso, todo el contenido armónico de la señal de entrada se somete al mismo retardo de tiempo. Para el método de la transformada de Hilbert, todo el contenido de armónicos es desfasado 90 grados [4].

3. DISEÑO DEL LAZO DE CONTROL DE PLL

En la figura 1, una vez se obtiene el error del voltaje V_d , se utiliza un controlador del tipo PI [1], [4], [8-9] para minimizar la diferencia de frecuencia $\Delta\omega$ entre el PLL y la señal de entrada. A continuación los autores sugieren un método para el diseño de tal controlador.

Con el propósito de utilizar métodos clásicos de diseño del controlador PI, es necesario conocer la relación entre la salida V_d de la transformada de Park y el ángulo θ^* determinado por el PLL, esto se logra graficando tal relación cuando se considera el sistema como se muestra en la figura 3, donde se ha eliminado la realimentación del controlador.

En la Figura 4 se expone la relación entre V_d y θ^* durante aproximadamente dos ciclos de la señal de entrada al PLL (señal monofásica red eléctrica a 60 Hz). Entre 0 y 90° se observa el comportamiento antes que el sistema obtenga la señal en cuadratura mediante el método de retardo, a partir de allí, se comporta oscilando sobre un valor estable de 1.1025, el cual se calcula mediante métodos estadísticos. Al realizar similar prueba con los otros dos métodos de estudio se lograron resultados similares en estado estacionario, cambiando solo el estado transitorio antes de obtener la señal ortogonal.



Fuente: Autor

Figura 3. Modelo en bloques de la pruebas en simulación para obtener la relación de V_d y θ^* .

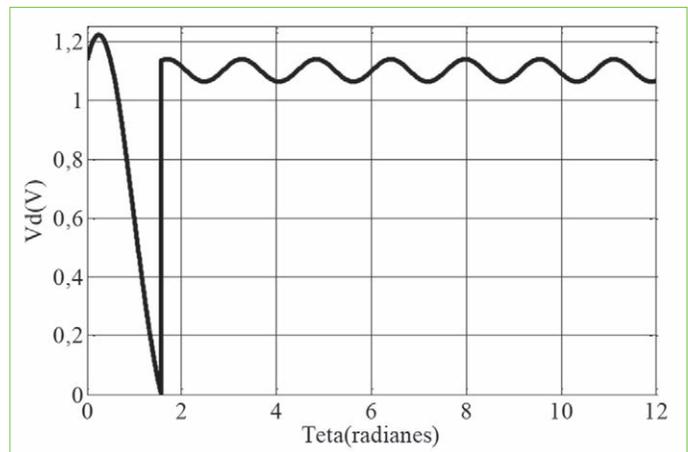


Figura 4. Relación entre V_d y θ^* .

El valor promedio de la relación entre V_d y θ^* corresponde a la ganancia de retroalimentación necesaria para simplificar los diagramas de bloques de las topologías propuestas como se observa en la figura 5. A partir de esta se determinarán las constantes del controlador utilizando el método de modelo de referencia, cuyo objetivo es garantizar que $V_d = 0$.

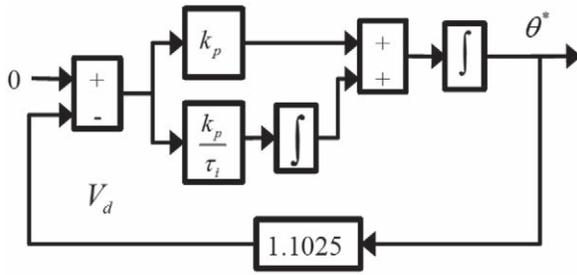


Figura 5. Simplificación de estructura de PLL para cálculo del controlador.

Con base en el diagrama de la figura 5 se obtiene la función de transferencia del sistema.

$$G(s) = \frac{\left(k_p + \frac{k_p}{s\tau_i}\right) \frac{1}{s}}{1 + k \left(k_p + \frac{k_p}{s\tau_i}\right)} \quad (4)$$

Donde k_p representa la ganancia proporcional, τ_i el tiempo integrativo y $k=1.1025V / rad$ es la constante de retroalimentación. Simplificando la ecuación (4) obtenemos la ecuación (5).

$$G(s) = \frac{k_p s + \frac{k_p}{\tau_i}}{s^2 + k \cdot k_p \cdot s + \frac{k \cdot k_p}{\tau_i}} \quad (5)$$

Algunos autores como Ciobotaru [8] recomiendan para el diseño del controlador del PLL un factor de amortiguamiento $\rho=1$ y un tiempo de establecimiento $T_s=60ms$; de Ogata [11] con el criterio del 2% expresado en (6) se obtiene la frecuencia natural no amortiguada ω_n , completándose el modelo de referencia (7).

$$\tau_s = \frac{4}{\rho \cdot \omega_n} \quad (6)$$

$$G_{ref} = \frac{\omega_n}{s^2 + 2 \cdot \rho \cdot \omega_n \cdot s + \omega_n^2} \quad (7)$$

Despejando ω_n . Sustituyendo los valores de τ_s y ρ en (6) y (7) se obtiene:

$$G_{ref} = \frac{66.667}{s^2 + 133.334s + 4.4444e+03} \quad (8)$$

Igualando el denominador de (5) y (8) se despeja los valores de k_p y τ_i para el controlador PI.

$$\begin{aligned} k_p &= 120.938 \\ \tau_i &= 0.03s \end{aligned} \quad (9)$$

El comportamiento del controlador se prueba en simulación utilizando la topología de retardo de transporte considerándose el peor caso de enganche del PLL, que

ocurre cuando inicia su operación 180° fuera de fase de la señal del bus AC como se ilustra en la figura 6. En esta prueba se tomó una señal de 120 Vrms a 60 Hz como entrada, que es acondicionada a 1.28 V simulando las condiciones que se tendrían si se implementara el PLL mediante sistemas analógicos o digitales. En la figura 6 se presentan las gráficas de los voltajes de entrada y salida, la frecuencia generada por el PLL, y la comparación entre los ángulos de la señal de entrada y la salida del PLL. De las figuras se concluye que el sistema con el controlador diseñado tarda aproximadamente 5 ciclos en obtener la fase correcta. El voltaje de salida del PLL se ha mantenido en 1 V intencionalmente por los autores para comparación.

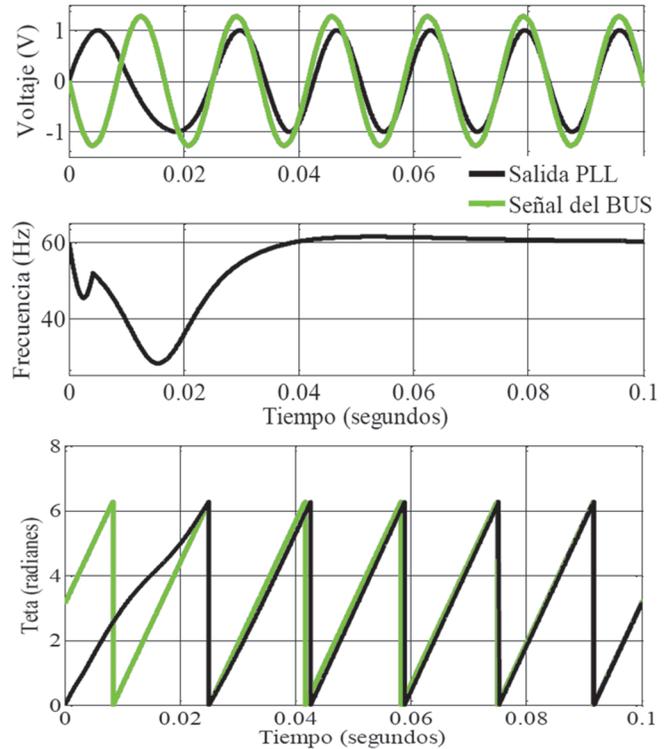


Figura 6. Señales de voltaje, frecuencia y ángulo del PLL con el controlador diseñado.

4. ÁNGULO DE SALIDA DEL PLL

Los resultados de simulaciones mostraron un desfase constante entre el ángulo de la señal del bus AC monofásico y el ángulo de salida de la estructura de PLL, este desfase puede obtenerse analizando el funcionamiento de la transformación de Park. La ecuación (10) muestra el valor constante v_d en términos del ángulo θ de entrada de la transformada procedente del PLL y las señales de entrada del marco de referencia sincrónico ortogonal denominadas como v_a y v_b .

$$v_d = v_a \cdot \sin\theta + v_b \cdot \cos\theta \quad (10)$$

Si se supone que la señal de entrada v_b , es obtenida en las diferentes topologías analizadas al desfasar en 90° la señal v_a , se obtienen las ecuaciones (11) y (12).

$$v_a = v_{pico} \cdot \sin \omega \cdot t \quad (11)$$

$$v_b = v_{pico} \cdot \sin \omega \cdot t - 90 \quad (12)$$

Por propiedades de la función seno y coseno (12) se convierte en

$$v_b = -v_{pico} \cdot \cos(\omega \cdot t) \quad (13)$$

Para un instante específico de tiempo (11) y (13) toman los siguientes valores, donde θ_{ref} es el ángulo de referencia de entrada de la estructura PLL.

$$v_a = v_{pico} \cdot \sin \theta_{ref} \quad (14)$$

$$v_b = -v_{pico} \cdot \cos \theta_{ref} \quad (15)$$

Sustituyendo (14) y (15) en la ecuación (10) se obtiene:

$$v_d = v_{pico} \cdot \sin \theta_{ref} \cdot \sin \theta - v_{pico} \cdot \cos \theta_{ref} \cdot \cos \theta \quad (16)$$

Aplicando identidades de diferencia de ángulos y simplificando se expresa la última ecuación como

$$v_d = -v_{pico} \cdot \cos(\theta_{ref} - \theta) \quad (17)$$

El objetivo del controlador es hacer $v_d = 0$ como se plantea en [8], solo es posible si el coseno de la diferencia de los ángulos es cero. Al resolver con respecto al ángulo de salida del PLL se encuentra (18) donde se observa un desfase de 90° con respecto al ángulo de referencia del bus AC, que es el desfase que se encuentra en simulaciones.

$$\theta = \theta_{ref} - \frac{\pi}{2} \quad (18)$$

5. RESULTADOS DE LAS SIMULACIONES

Un estudio de las estructuras de PLL fue realizado mediante simulación analizándose dos condiciones de la señal de entrada: en primer lugar la respuesta de los PLL cuando la señal de entrada en el bus AC está desfasada 180° y segunda, si esta señal de entrada tiene una distorsión armónica del 7.07% en el bus, con el objetivo de comparar cada uno de los algoritmos.

El controlador PI de cada estructura fue ajustado con las ganancias presentadas en la ecuación (9). El método de retardo de transporte se implementó usando un bloque delay ajustado a un tiempo equivalente a 90° de una señal de 60 Hz. La transformada de Hilbert se representó con la función Matlab "Hilbert filter" que corresponde a un filtro FIR. Para la topología de la transformada inversa de Park se implementaron dos filtros pasabajos a una frecuencia de 120 Hz.

Para el primer caso de estudio, la figura 7 muestra los resultados en la señal de salida de cada estructura, la forma de la señal de frecuencia y el ángulo de salida comparándose con la señal de entrada.

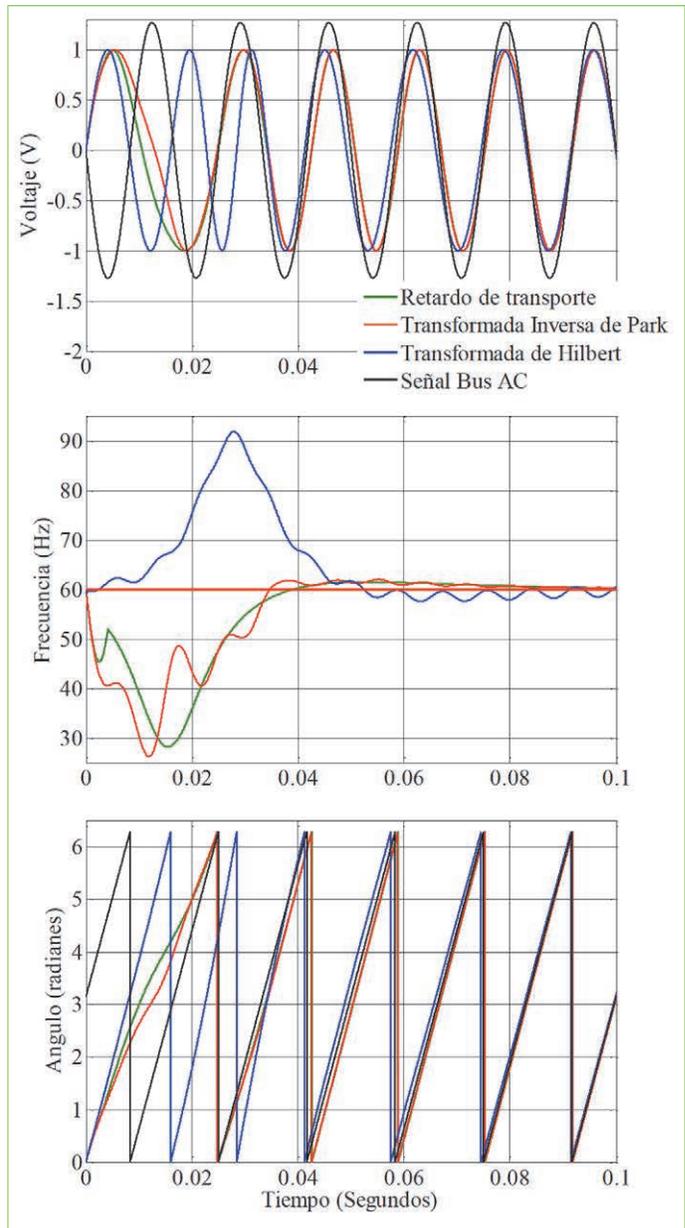


Figura 7. Comparación respuestas de las tres topologías de PLL: voltaje de salida, frecuencia y ángulo.

Para el primer caso de simulación se observa que las tres topologías consideradas logran ponerse en fase con la señal del bus AC luego de cinco ciclos (tiempo de asentamiento aproximado de 80 ms), cabe anotar que con propósitos de simulación se ha fijado la amplitud de la señal de entrada mucho mayor que la salida de los PLL.

Las estructuras de PLL de transformada inversa de Park y retardo de transporte tienen una desviación de frecuencia negativa para lograr ponerse en fase con la señal de bus, contraria el comportamiento de la transformada de Hilbert. Esta última tiene un estado estacionario con oscilaciones mantenidas de ± 1 Hz.

Además de simular cómo se comportaban las topologías de PLL ante una señal de entrada 180° fuera de fase, se

realizaron simulaciones ante la eventualidad de un cambio en la frecuencia de la señal de entrada (esto ocurre en algunas décimas de Hz en los sistemas reales, siendo uno de los parámetros importantes para medir la calidad de la generación).

En el periodo de 0.15 segundos se realiza un cambio en la frecuencia de la señal de entrada de 2Hz, obteniéndose la figura 18 en la que se observa como la estructura PLL de retardo de transporte no alcanza un valor estable en los 58 Hz manteniendo unas oscilaciones de 0.7 Hz. La estructura de transformada de Hilbert aumenta sus oscilaciones de 1Hz a 1.3 Hz sobre la nueva frecuencia, frente a este cambio la transformada inversa de Park muestra un adecuado seguimiento, obteniéndose un tiempo de asentamiento de 0.06 s, que corresponde al tiempo utilizado en el diseño del controlador PI.

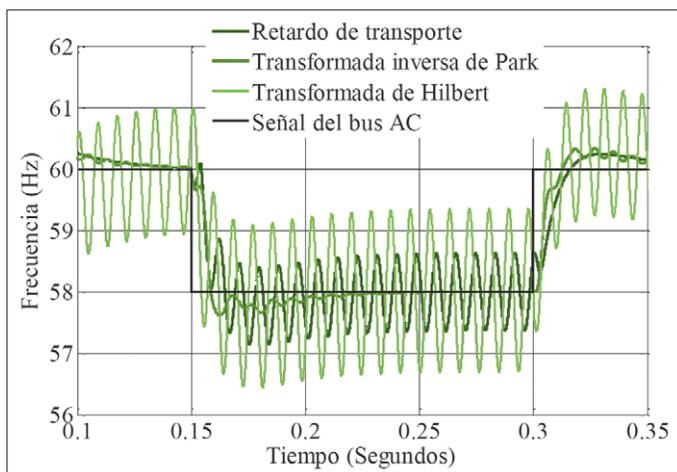


Figura 8. Comportamiento de la frecuencia ante variaciones.

En la figura 9 se encuentran los resultados de las simulaciones cuando la señal de entrada a las estructuras de PLL tiene una distorsión armónica del 7.07%. Los resultados muestran como la topología basada en la transformada de Hilbert aumenta sus oscilaciones ante una señal de entrada distorsionada, lo que origina que tarde un ciclo más en ponerse en fase con la señal de entrada comparada con las otras dos estructuras. Las oscilaciones que presenta la transformada de Hilbert origina que no sea conveniente su uso cuando la señal de entrada esta distorsionada. Los resultados indican que la topología de retardo de transporte presenta oscilaciones en estado estacionario de ± 0.15 Hz. En comparación con una entrada sin distorsión, las topologías aumentan el tiempo requerido para encontrar la fase correcta, siendo la transformada inversa de PARK la que presenta mejor comportamiento.

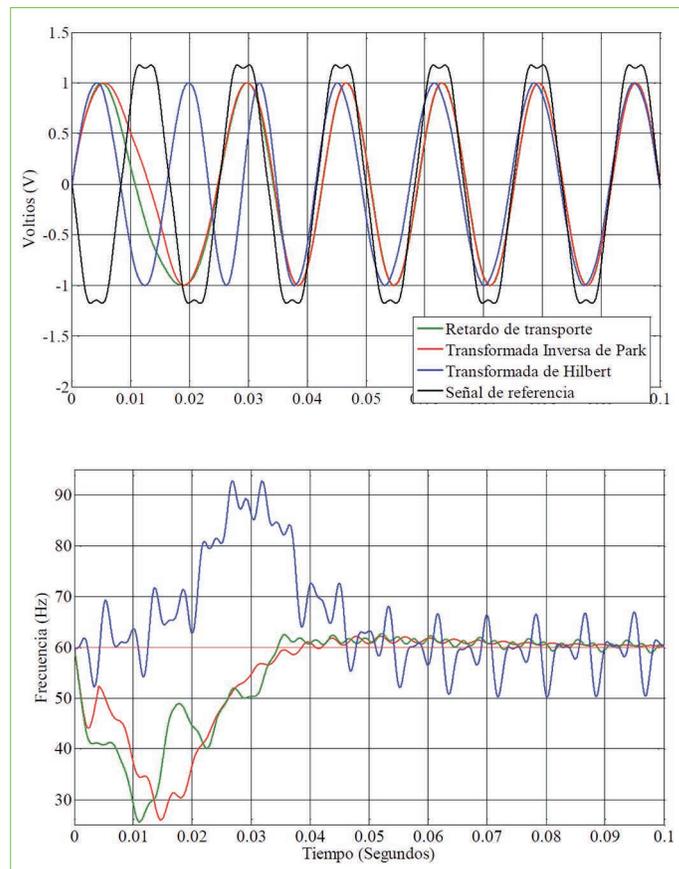


Figura 9 Comparación respuestas de las tres topologías de PLL: voltaje de salida, y frecuencia cuando la señal de entrada esta distorsionada.

5. CONCLUSIONES

De los resultados de las simulaciones es evidente como la transformada de Hilbert tiene el peor comportamiento ante señales con distorsión y cambios en la frecuencia de la señal de entrada, adicionalmente no logra una frecuencia estable lo cual origina pequeños desfases en el ángulo de salida inadecuados en aplicaciones prácticas para el enganche de un sistema basado en esta estructura.

La estructura de retardo de transporte, por su simplicidad en la implementación es una de las más utilizadas en la parte práctica no presenta un comportamiento adecuado ante cambios de la frecuencia esto debido a que la memoria utilizado para almacenar los datos debe tener un tamaño fijo que se calcula a una frecuencia determinada.

Tras las pruebas realizadas se puede concluir que ante cambios de frecuencia y señales de entrada con distorsión armónica la transformada inversa de Park presenta el mejor comportamiento de las tres estructuras, siendo limitada en la práctica por tener que calcularse a partir de señales trigonométricas aumentando el tiempo de procesamiento en un sistema digital.

REFERENCIAS

1. Silva, Sidelmo M., Amuda, Lícia N. and Cardoso Filho, Braz de J. (2001). "Wide Bandwidth Single and Three-Phase PLL Structures for Utility Connected Systems". 9th. European Conference on Power Electronics and Applications. EPE2001. Graz, Austria. August.
2. Arruda, Lícia N., Silva, Sidelmo M. and Cardoso Filho, (2001). "PLL Structures for Utility Connected Systems". 36th. Industry Applications Society Annual Meeting. IAS2001. Chicago, USA.
3. Saitou, Nakoto, Matsui, Mobuyuki and Shimizu, Toshihisa. (2003). "A Control Strategy of Single-phase Active Filter using a Novel d-q Transformation". 38th Industry Applications Society Annual Meeting. IAS.
4. Silva, S.M. ; Lopes, B.M. ; Filho, B.J.C. ; Campana, R.P.; Bosventura, W.C. (2004). "Performance Evaluation of PLL Algorithms for Single-phase Grid-connected Systems". Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE, pp 2259 - 2263, vol.4.
5. V. Kaura, and V. Blasko, (1997). "Operation of a phase locked loop system under distorted utility conditions," IEEE trans. on Industry Applications, vol. 33, no. 1, pp. 58-63.
6. Da Silva, S.A.O., Tomizaki, E., Novochadlo, R. and Coelho, E.A.A. (2006). "PLL Structures for Utility Connected Systems under Distorted Utility Conditions". IEEE Industrial Electronics, IECON - 32nd Annual Conference on, pp 2636 – 2641.
7. G. Hsieh, and J.C. Hung, (1996). "Phase-locked loop techniques a survey," IEEE Trans. on Industrial Electronics, vol. 43, no. 6, pp. 609-615.
8. M. Ciobotaru, R Teodorescu y F Blaabjerg, (2006). "A New Single-Phase PLL Structure Based on Second Order Generalized Integrator", IEEE Trans, pp 1-6.
9. Mingzhi Gao, Baohong Li, Min Chen, Wei Yao y Zhaoming Qian. (2009). "Analysis and Implementation of a PLL Structure for Single-Phase Grid-Connected Inverter System", IEEE Power Electronics and Motion Control Conference, pp 716 -719.
10. Mitra, Sanjit K. (1998). Digital Signal Processing – A Computer-based Approach. McGraw-Hill International Editions, pp. 5-8. New York, USA.
11. K. Ogata. (1998). "Ingeniería de control moderno", 3 ed.